

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-076720
(43)Date of publication of application : 22.03.1996

(51)Int.CI. G09G 3/36
G02F 1/133

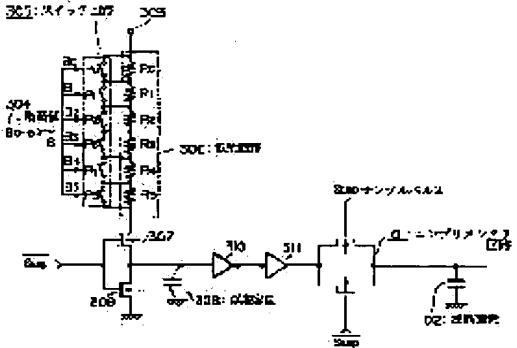
(21)Application number : 06-214136 (71)Applicant : TOPPAN PRINTING CO LTD
(22)Date of filing : 07.09.1994 (72)Inventor : CHIN GIYOUSHIYOU

(54) DRIVING CIRCUIT FOR LIQUID CRYSTAL DISPLAY DEVICE

(57)Abstract:

PURPOSE: To miniaturize a driving circuit for liquid crystal display device by decreasing the occupying area of elements, such as capacitors, on an IC chip.

CONSTITUTION: A gradation value 304 is converted into the resistance value of a resistance circuit 306 by a switching circuit 305 which turns on/off according to the gradation value 304 and charges a floating capacitor 308 from the rise of a sample pulse Samp. The fact that the voltage of the floating capacitor 308 has exceeded a specified value is detected and liquid crystal pixels 102 are charged during the period from the point of this time before the fall of the sample pulse Samp. The route to the liquid crystal pixels 102 is maintained in a high-impedance state to hold the potential of the liquid crystal pixels 102 after the end of the charging. Since the resistance elements are used in such a manner, the accuracy is made higher and the occupying area is smaller than in the route of using capacitors, etc.



LEGAL STATUS

[Date of request for examination] 22.06.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3152080

[Date of registration] 26.01.2001

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-76720

(43) 公開日 平成8年(1996)3月22日

(51) Int.Cl.⁶
G 0 9 G 3/36
G 0 2 F 1/133

識別記号 庁内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数 4 OL (全 8 頁)

(21)出願番号 特願平6-214136

(22) 出願日 平成 6 年(1994) 9 月 7 日

(71) 出願人 000003193

凸版印刷株式会社

東京都台東区台東1丁目5番1号

(72) 發明者 陳 晓翔

東京都台東区台東一丁目5番1号 凸版印刷株式会社内

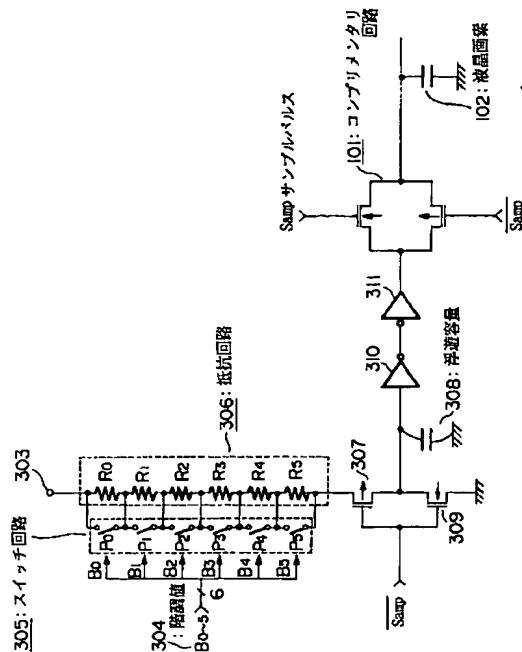
(74) 代理人 弁理士 志賀 正武 (外2名)

(54) 【発明の名称】 液晶表示装置用駆動回路

(57) 【要約】

【目的】 液晶表示装置用駆動回路において、ICチップ上におけるコンデンサ等の素子の占有面積を削減し、液晶表示装置用駆動回路の小型化を図る。

【構成】 階調値304に応じてオン／オフするスイッチ回路305により、階調値304を抵抗回路306の抵抗値に変換し、サンプルバルス Samp の立ち上がりから浮遊容量308を充電する。この浮遊容量308の電圧が一定値を越えたことを検出し、その時点よりサンプルバルス Samp の立ち下がりまでの間、液晶画素102を充電する。充電終了後、液晶画素102への系路をハイインピーダンス状態にし液晶画素102の電位を保持する。このように、抵抗素子を用いるため、コンデンサ等を使用した方式に比して、精度の向上、回路の占有面積削減を図れる。



【特許請求の範囲】

【請求項1】サンプルバルスのタイミングにおいて外部から供給される階調データに基づいて液晶パネルを階調駆動する液晶表示装置用駆動回路において、

前記サンプルバルスの立ち上がりから前記階調データに応じて決まる遅延時間を計測する遅延回路と、

前記遅延時間が経過した時点から前記液晶パネルの充電を開始し、前記サンプルバルスの立ち下り時点で充電を終了し、以後、前記液晶パネルへの系路をハイインピーダンス状態とする充電回路と、

を具備してなる液晶表示装置用駆動回路。

【請求項2】前記遅延回路は、前記階調データに応じてオン／オフする複数のスイッチ手段と、前記サンプルバルスの立ち上がり時点から時間計測を開始し、スイッチ手段のオン／オフ状態に応じて遅延時間が決まる遅延手段とからなる請求項1記載の液晶表示装置用駆動回路。

【請求項3】前記遅延回路は、前記階調データに応じてオン／オフする複数のスイッチ手段と、前記スイッチ手段によって短絡または解放される直列接続された複数の抵抗と、前記複数の抵抗の直列接続回路によって充電されるコンデンサと、前記コンデンサの電圧が一定値を越えたことを検出して検出信号を出力する検出手段とかなる請求項1記載の液晶表示装置用駆動回路。

【請求項4】前記遅延回路は、前記階調データに応じてオン／オフする複数のスイッチ手段と、前記スイッチ手段によって短絡または解放される直列接続された複数の抵抗と、前記複数の抵抗の直列接続回路によって電流が決まる定電流回路と、前記定電流回路の出力電流によって充電されるコンデンサと、前記コンデンサの電圧が一定値を越えたことを検出して検出信号を出力する検出手段とかなる請求項1記載の液晶表示装置用駆動回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、フルカラーによる階調表示が可能な液晶パネル装置等に用いられる液晶表示装置用駆動回路に関する。

【0002】

【従来の技術】フルカラー表示用の液晶駆動回路として、振動電圧方式、抵抗分割方式、D-Aコンバータ内蔵方式等が知られている。そして、この発明は特にD-Aコンバータ内蔵方式の駆動回路に関する。図7は、マトリクス構造の液晶パネルとその駆動回路からなる一般的な液晶表示装置の構成を示している。同図で、701は液晶パネルである。702はコモンドライバ、703はセグメントドライバである。液晶パネル701のマトリクスのロウ側を走査するコモンドライバ702は、一時点ではある1つのロウの全液晶画素を選択する。セグメントドライバ703において、ある1つのカラムを駆

動する駆動回路704は、コモンドライバ702が選択した液晶画素に対し、当該液晶画素の階調値に応じた電圧を印加する。液晶画素705にはトランジスタ706を介して駆動回路からの電圧が印加される。

【0003】以上の構成において、駆動回路704には、表示データをアナログ信号に変換するDAC（ディジタル／アナログ変換器）が用いられる。図8は、従来のDACの構成例を示す図である。このDAC800は電荷スケーリング型のDACであり、N個のコンデンサC1～Cn、終端コンデンサCt、ならびにスイッチSa・Sb・S1～Snから構成されている。最初のコンデンサC1の容量をCとすると、2番目のコンデンサC2の容量は $[1/2]C$ に、3番目のコンデンサC3の容量は $[1/4]C$ に、…N-1番目のコンデンサCn-1の容量は $[1/2^{n-2}]C$ 、そしてN番目のコンデンサCnの容量は $[1/2^{n-1}]C$ となるように設計されている。Ctの容量は $[1/2^{n-1}]C$ である。また、Bはボルテージフォロワであり、V_{REF}は基準電圧である。

【0004】このDAC800へ供給されるディジタルデータは、Nビットの2進数で与えられる。このNビットのディジタルデータのそれぞれのビットの値をb₁、b₂、…b_nとする。ビットb_i（i=1～N）が“1”であると、スイッチS_iが基準電源V_{REF}に接続され、“0”であるとグランドに接続される。DAC800には、互いに重なりあわない2相のクロックφ₁、φ₂が接続されている。φ₁のタイミングにおいては、スイッチSa・Sbが閉じ、スイッチS₁～S_nがグランド側に倒れ、コンデンサC₁～C_nとCtの両端がグランドに接続される。φ₂のタイミングにおいては、スイッチSa・Sbが開くとともに、スイッチS₁～S_nは上述したように階調値の各ビットの値に応じてV_{REF}かグランド側に切り替わる。

【0005】

【発明が解決しようとする課題】ところで、従来のDACを液晶駆動回路に用いた場合、変換素子としてコンデンサを採用しており、しかも上述のように多数のコンデンサを必要とするため、ICチップ上に占めるコンデンサ等の素子の面積が大きくなり、駆動回路の小型化が図れない、などの問題があった。この発明は上記の点に鑑みてなされたものであり、その目的は、コンデンサ等の素子がICチップ上で大きな面積を占有することなくし、液晶表示装置用駆動回路の小型化を図ることにある。

【0006】

【課題を解決するための手段】以上の課題を解決するために、請求項1記載の発明は、サンプルバルスのタイミングにおいて外部から供給される階調データに基づいて液晶パネルを階調駆動する液晶表示装置用駆動回路において、前記サンプルバルスの立ち上がりから前記階調データに応じて決まる遅延時間を計測する遅延回路と、前

記述延時間が経過した時点から前記液晶パネルの充電を開始し、前記サンプルバルスの立ち上がり時点で充電を終了し、以後、前記液晶パネルへの系路をハイインピーダンス状態とする充電回路と、を具備してなる液晶表示装置用駆動回路である。

【0007】請求項2記載の発明は、請求項1記載の発明において、前記遅延回路を、前記階調データに応じてオン／オフする複数のスイッチ手段と、前記サンプルバルスの立ち上がり時点で時間計測を開始し、スイッチ手段のオン／オフ状態に応じて遅延時間が決まる遅延手段とから構成したものである。請求項3記載の発明は、請求項1記載の発明において、前記遅延回路を、前記階調データに応じてオン／オフする複数のスイッチ手段と、前記スイッチ手段によって短絡または解放される直列接続された複数の抵抗と、前記複数の抵抗の直列接続回路によって充電されるコンデンサと、前記コンデンサの電圧が一定値を越えたことを検出して検出信号を出力する検出手段とから構成したものである。

【0008】請求項4記載の発明は、請求項1記載の発明において、前記遅延回路を、前記階調データに応じてオン／オフする複数のスイッチ手段と、前記スイッチ手段によって短絡または解放される直列接続された複数の抵抗と、前記複数の抵抗の直列接続回路によって電流が決まる定電流回路と、前記定電流回路の出力電流によって充電されるコンデンサと、前記コンデンサの電圧が一定値を越えたことを検出して検出信号を出力する検出手段とから構成したものである。

【0009】

【作用】この発明によれば、階調データに応じて決まる遅延時間をサンプルバルスの立ち上がりから計測し、当該遅延時間が経過した時点からサンプルバルスの立ち下がり時点で液晶パネルを充電して、以後、液晶パネルへの系路をハイインピーダンス状態とする。このような構成により、従来のものより小型化、IC化しやすい液晶表示装置用駆動回路を提供することが可能となる。

【0010】

【実施例】

【実施例1】次に、図面を参照してこの発明の第1の実施例について説明する。図1は、本実施例による液晶表示装置用駆動回路の構成を示す回路図である。この図において、Sampはサンプルバルスであり、同図に示し

$$E \cdot [1 - \exp \{-T / (R_L \cdot C_L)\}]$$

となる。これから、液晶画素102の電圧はCRカーブを描いて上昇してゆく。

【0014】図2は遅延回路d0, d1...による遅延時間と液晶画素102に加えられる電圧との関係を示す図である。図2(ロ)において、時間tは遅延回路d0, d1...による遅延時間であり、サンプルバルスSampは、この遅延時間tが経過後液晶画素102に印加される。これにより、液晶画素102の電圧が図の

*たように振幅E₁を持つ矩形波である。サンプルバルスSampにおいて、"H"（ハイ）である期間をサンプル期間、"L"（ロー）である期間をホールド期間と定義する。サンプル期間の持続時間はTである。

【0011】D0, D1, ..., D_{n-1}は液晶画素の各階調に対応するn個の2値データである。すなわち、この回路はn段階の階調表示を行う回路である。また、S0, S1, ..., S_{n-1}は、それぞれがデータD0, D1, ..., D_{n-1}に1対1に対応して設けられたスイッチである。データD_i (i = 0, 1, ..., n-1)に"1"を指定すると、データD_iに応じるスイッチS_iが閉じ、データD_iに"0"を指定するとデータD_iに応じるスイッチS_iが開く。d0, d1, ..., d_{n-1}は遅延回路である。遅延回路はいくつかの非反転バッファ（図示略）を直列に接続することにより構成している。なお、非反転バッファの代わりに偶数個の反転バッファ、あるいは偶数個の反転バッファと非反転バッファの組み合わせでも良い。また、この実施例では各遅延回路d_i (i = 0 ~ n-1)は等しい遅延時間T_dを持つように設定している。

【0012】101はコンプリメンタリ回路であり、サンプルバルスSampに従ってオン／オフされる。すなわち、サンプルバルスSampが" H"の時オン、"L"の時オフとなる。102は液晶画素であり、その容量はC_Lである。以下、上記構成における液晶表示装置用駆動回路の動作を説明する。いま、階調データとして例えばD2が供給されたとする。この場合、スイッチS2のみが閉じ、スイッチS0, S1, S3, ..., S_{n-1}は開いた状態になる。

【0013】サンプルバルスSampがサンプル期間になると、サンプルバルスSampによってコンプリメンタリ回路101が導通状態となる。サンプルバルスSampは遅延回路d0, d1を通過し [2 · T_d] 時間だけ遅れてスイッチS2に到達する。その後、サンプルバルスSampはスイッチS2、コンプリメンタリ回路101を通して液晶画素102へ印加され、液晶画素102を充電する。コンプリメンタリ回路101の出力の立ち上がりからの時間をTとし、コンプリメンタリ回路101の出力電圧をEとする。また、液晶画素102を充電する系路の抵抗をR_Lとすると、液晶画素102にかかる電圧は、

$$\dots \quad (1)$$

曲線L1で示すように順次CRカーブに従って上昇する。そして、サンプルバルスSampが立ち下がると、コンプリメンタリ回路101がオフとなり、ハイインピーダンス状態となる。この結果、以後、液晶画素102にサンプルバルスSampがオフとなった時の電圧V1が保持される。

【0015】そして、上述した遅延時間tが長くなるほど、図2(ハ)、(ニ)に示すように、液晶画素102

に最終的に印加される電圧 V_2, V_3 が小さくなる。すなわち、図1に示す駆動回路は、遅延回路 $d_1, d_2 \dots$ による遅延時間 τ と液晶画素 102 に印加される電圧とが反比例し、したがって、階調データ $D_0, D_1 \dots$ に比例した電圧を液晶画素 102 に印加することができる。

【0016】〔実施例2〕次に、この発明の第2の実施例について説明する。図3は、この実施例による液晶表示装置用駆動回路の構成を示す回路図である。同図において、実施例1と同じ機能を有する部品等には同一の番号を付与しており、ここではその説明を省略する。第1の実施例においては、遅延回路を用いてサンブルバルスを直接遅延させている。また、指定可能な階調数と遅延回路の数は同じであり、 n 階調を指定するためには n 個の遅延回路が用いられる。本実施例においては、階調値を2進数で与えているため、たとえば6個の抵抗素子を使用することにより64階調のうちのいすれか任意の1階調を指定することができる。

【0017】同図において、 303 は電源電圧である。液晶の階調値 304 は、 $B_0 \sim B_5$ の6ビットの2進数で表される。ここでMSBは B_5 である。 305 はスイッチ回路であり $P_0 \sim P_5$ の6個のスイッチから構成されている。ビット B_i ($i = 0 \sim 5$) にはスイッチ P_i ($i = 0 \sim 5$) が1対1に対応する。 306 は抵抗回路であり、 $R_0 \sim R_5$ の6個の抵抗素子から構成されている。抵抗素子 R_i は図示したように直列に接続されている。 $R_0, R_1, R_2, R_3, R_4, R_5$ の抵抗値は、それぞれ $1\text{K}\Omega, 2\text{K}\Omega, 4\text{K}\Omega, 8\text{K}\Omega, 16\text{K}\Omega, 32\text{K}\Omega$ に、すなわち抵抗値が2倍づつになるように設定されている。スイッチ P_i は、対応するビット B_i の値が“1”である場合に閉じて抵抗素子 R_i をバイパスする。また対応するビット B_i の値が“0”である場合には開くようになっている。

【0018】 FET (電界効果トランジスタ) 307 は、サンブルバルス $Samp$ がサンブル期間中に回路の浮遊容量 308 を充電するために設けられている。また $FET309$ は、サンブルバルス $Samp$ がホールド期間中において、浮遊容量 308 に蓄積された電荷を放電するために設けられている。浮遊容量 308 の容量は C_s である。 310 は、スレッショルド電圧として $Vthg$ を持つインバータである。また、インバータ 311 は、インバータ 310 の出力を整形する目的で設けられている。インバータ 311 の出力は、コンプリメンタリ回路 101 を通って液晶画素 102 を駆動する。

【0019】次に、上記構成における液晶装置表示用駆動回路の動作を説明する。階調値 304 としてたとえば 10 (10進数) を与える。この値は2進数では“001010”であるから、 $B_5=0, B_4=0, B_3=1, B_2=0, B_1=1, B_0=0$ となる。これによりスイッチ P_1 ならびに P_3 が閉じ、スイッチ P_0, P_2, P_4, P_5 が開く。その結果、抵抗 R_1 ならびに R_3 がショートされ、抵抗回路 306 全体の抵抗値は $[32 + 16 + 4 + 1] = 53\text{K}\Omega$ となる。

【0020】サンブルバルス $Samp$ がサンブル期間になると、サンブルバルス $Samp$ によって $FET307$ ならびにコンプリメンタリ回路 101 が導通状態になり、 $FET309$ が非導通状態になる。すると電源 303 から抵抗回路 $306, FET307$ を介して浮遊容量 308 へ充電が開始される。サンブルバルス $Samp$ の立ち上がり時点においては浮遊容量 308 にかかる電圧は“0”になっている。またこの時、インバータ 310 の出力は論理“1”値であり、したがってインバータ 311 の出力は論理“0”値になっている。抵抗回路 306 と浮遊容量 308 は積分回路を構成する。浮遊容量 308 の両端間の電圧は、第1の実施例における(1)式と同様にして、上記の $53\text{K}\Omega$ の抵抗値と容量 C_s で決まる時定数を持つCRカーブを描いて上昇する。

【0021】浮遊容量 308 の電圧がインバータ 310 のスレッショルド電圧 $Vthg$ に達すると、インバータ 310 の出力が論理“1”値から論理“0”値に、したがってインバータ 311 の出力が論理“0”値から論理“1”値に反転する。インバータ 311 の出力はコンプリメンタリ回路 101 を通して液晶画素 102 を充電する。この充電動作は第1の実施例における動作と同じであり、(1)式に示したように R_s と C_s で決まる時定数を持つCRカーブとなる。このように、本実施例ではCR積分が都合2回行われることになる。

【0022】次に、サンブルバルス $Samp$ がホールド期間になると、サンブルバルス $Samp$ によって $FET307$ ならびにコンプリメンタリ回路 101 が非導通状態に、 $FET309$ が導通状態になる。これにより浮遊容量 308 の電荷が $FET309$ を通じて放電される。浮遊容量 308 の電圧は、次回のサンブル期間における充電に備えてホールド期間中に“0”となる。また、コンプリメンタリ回路 101 が非導通状態になるとコンプリメンタリ回路 101 の出力がハイインピーダンス状態となる。したがって、サンブルバルス $Samp$ のホールド期間の間、液晶画素 102 の電荷が保たれ、液晶表示が維持される。

【0023】統いて、階調値 304 の値を変えた場合に、動作に与える影響を説明する。階調値 304 で指定する値を A_1, A_2, A_3 と変化させた場合を考える。ここで、 $A_1 > A_2 > A_3$ の関係になるように設定する。この時の抵抗回路 306 の抵抗値をそれぞれ r_1, r_2, r_3 とする。たとえば A_1, A_2, A_3 がそれぞれ10進数で $20, 10, 5$ であると、 r_1, r_2, r_3 はそれぞれ $43\text{K}\Omega, 53\text{K}\Omega, 58\text{K}\Omega$ となる。つまり $r_1 < r_2 < r_3$ となる。時刻“0”でサンブルバルスが立ち上がった場合、浮遊容量 308 の電圧と時間との関係は、それぞれ図4(口)における $R = r_1, R$

$= r_2$, $R = r_3$ に示したような CR カーブとなる。同図から明らかなように、抵抗値が大きくなるに従って立ち上がりが緩やかになる。したがって、インバータ 310 の入力がスレッショルド V_{thg} に到達する時間も、抵抗値が大きくなるほど遅くなる。この到達時間は、図 4 (口) における $R = r_1$, $R = r_2$, $R = r_3$ の場合、それぞれ時刻 t_1 , t_2 , t_3 となる。

【0024】時刻 t_1 , t_2 あるいは t_3 においてインバータ 311 の出力が立ち上るに従って、液晶画素 102 を充電する。そして、サンプルバルス $Samp$ の立ち下がりにおいて、液晶画素 102 の電圧は、それぞれ V_4 , V_5 , V_6 となり、 $V_4 > V_5 > V_6$ の関係を有する。このように、液晶画素に設定する階調値 304 を小さくするほど、抵抗回路 306 の抵抗値は大きくなっている。この結果、液晶画素 102 に充電される電圧も低くなることがわかる。以上説明したように、本実施例においては階調値 304 によって積分回路の時定数を変化させて、液晶画素 102 への充電電圧に変換するようになっている。また、第 1 の実施例と比較した場合には、 n 個の抵抗素子で 2ⁿ 階調を指定することが可能である。

【0025】【実施例 3】続いて、この発明の第 3 の実施例について説明する。図 5 は、第 3 の実施例による液晶表示装置用駆動回路の構成を示す回路図である。同図において、第 1 の実施例あるいは第 2 の実施例と同じ機能を有する部品には同じ番号を付与してあり、ここではその説明を省略する。同図において、401 はカレントミラー回路であり FET 402 と FET 403 により構成される。また FET 404 は、サンプルバルス $Samp$ がホールド期間中に浮遊容量 308 の電荷を放電するために設けられている。

【0026】次に、上記構成における液晶表示装置用駆動回路の動作を説明する。階調値 304 として、実施例 2 と同様に 10 (10 進数) を与えると、B5, B4, B3, B2, B1, B0 の値はそれぞれ "0", "0", "1", "0", "1", "0" となる。これによりスイッチ P1 ならびに P3 が閉じ、スイッチ P0, P2, P4 ならびに P5 が開いて、抵抗回路 306 の抵抗値は $5.3 K\Omega$ になる。抵抗回路 306 には、この抵抗値と電源 303 の電源電圧で決まる電流 I_1 が流れる。カレントミラー回路 401 の働きにより、電流 I_1 に等しい電流値を持つ電流 I_2 が浮遊容量 308 (容量 C_s) に流れ込む。

【0027】サンプルバルス $Samp$ がサンプル期間になると、サンプルバルス $Samp$ によってコンプリメン*

$$b_i \ (i = 0, 1, \dots, n-1) \in \{0, 1\} \quad \dots (2)$$

である。

【0031】RL0, RL1, ..., RL_{n-1} を抵抗素子とし、それぞれが抵抗値として 1, 2, ..., 2ⁿ⁻¹ を持つ。b0, b1, ..., bn-1 の値によってスイッ

* タリ回路 101 が導通状態となり、一方、FET 404 は非導通状態となる。サンプルバルス $Samp$ が立ち上がるまでは、FET 404 により浮遊容量 308 は接地されており、その充電電圧は "0" になっている。サンプルバルス $Samp$ が立ち上ると、浮遊容量 308 の充電電圧は、電流値 I_2 と容量 C_s で決定される一定の割合で時間に正比例して上昇してゆく。この電圧がインバータ 310 のスレッショルド電圧 V_{thg} に達すると、インバータ 310 の出力が論理 "1" 値から論理 "0" 値に反転する。以後の動作は、第 2 の実施例の場合と同じであり、インバータ 311 の出力が論理 "0" 値から論理 "1" 値に反転し、コンプリメンタリ回路 101 を通して、液晶画素 102 を充電する。

【0028】次に、サンプルバルス $Samp$ がホールド期間になると、サンプルバルス $Samp$ によってコンプリメンタリ回路 101 が非導通状態に、FET 404 が導通状態になる。これにより、浮遊容量 308 の電荷が FET 404 を通じて放電される。また、コンプリメンタリ回路 101 が非導通状態になると、コンプリメンタリ回路 101 の出力がハイインピーダンス状態になり、サンプルバルス $Samp$ のホールド期間中は液晶画素 102 の電荷が保たれる。この実施例では、カレントミラー回路を採用したことにより、第 2 の実施例に比較すると、浮遊容量 308 の充電過程における直線性に優れている。

【0029】【動作原理】最後に、以上の実施例において使用されている時分割 CR 充放電による DA コンバータシステムの動作原理を説明しておく。図 6 はこのシステムをモデル化したシステム構成図である。同図において、601 はサンプル関数である。602 は液晶画素の階調値であり n ビットの 2 進数である。また、603 は液晶画素に相当する容量負荷であり、その容量は C_{out} である。さらに 604 はサンプル関数からみた抵抗負荷であり、その抵抗値は R_{out} である。

【0030】上記 3 つの実施例はいずれもこのモデルに当てはめることができる。すなわちサンプルバルス $Samp$ と液晶の階調値 602 を入力とし、その出力が抵抗負荷を介して容量負荷を駆動するシステムである。ここでは、第 2 の実施例についてサンプル関数を導出する。なお、図 3 は階調値等が 6 ビットから構成される具体例に関する回路であるが、ここでは一般化して n ビットの場合について説明する。階調値は n ビットの 2 進数で与えられる。この階調値の各ビットを b_0, b_1, \dots, b_{n-1} とする。すると b_i は、

チ $s_{w0}, s_{w1}, \dots, s_{wn-1}$ が制御され、 b_i の値が "1" であるとスイッチ s_{wi} が閉じて RL_i をバイパスする。 b_i の値が "0" であればスイッチ s_{wi} は開いた状態になる。したがって、抵抗回路全体の抵抗

値Rは、

* * 【数1】

$$R(b_0, b_1, \dots, b_{n-1}) = \sum_{i=0}^{n-1} \overline{b_i} \cdot 2^i \quad \dots (3)$$

で表わすことができる。

【0032】回路の浮遊容量と抵抗回路とはCR積分回路を構成する。いま、電源電圧をE1とし、時刻“0”において浮遊容量(容量Cs)には電荷が蓄積されてお※

$$D[R(b_0, \dots, b_{n-1})] = E1 \cdot (1 - \exp[-t / (R(b_0, \dots, b_{n-1}) \cdot Cs)]) \quad \dots (4)$$

CR積分回路の出力には、バッファが接続されており、そのスレッショルド値はVthである。バッファの入力電圧がVth未満である場合にはその出力電圧は“0”であり、入力電圧がVth以上になると出力電圧はE2★

$$\delta[D(R)] = \begin{cases} 1 & ; D(R) \geq Vth \\ 0 & ; D(R) < Vth \end{cases} \quad \dots (5)$$

と定義した場合に、

$$E2 \cdot \delta[D(R)] \quad \dots (6)$$

で表される。バッファは、容量Ctの容量負荷と抵抗値Rtの抵抗負荷から構成されるCR積分回路を駆動する。バッファの入力電圧がVthに達してバッファ出力★

$$E2 \cdot \delta[D(R)] \cdot [1 - \exp\{-(t - t_0) / (R_t \cdot C_t)\}] \quad \dots (7)$$

で表わすことができる。

【0034】

【発明の効果】以上説明したように、この発明によれば、階調データに応じて決まる遅延時間をサンプルバルスの立ち上がりから計測し、当該遅延時間が経過した時点からサンプルバルスの立ち下がり時点まで液晶パネルを充電して、以後、液晶パネルへの系路をハイインピーダンス状態とするようにしたので、従来のものに比較し、コンデンサ等の素子が、ICチップ上で大きな面積を占有することをなくすことができるため、液晶表示装置用駆動回路の小型化、IC化が可能となるという効果を得ることができる。

【図面の簡単な説明】

【図1】この発明の第1の実施例による液晶表示装置用駆動回路の回路図である。

【図2】この発明の第1の実施例による遅延回路d0～dn-1と液晶画素102に印加する電圧の関係を示す図である。

【図3】この発明の第2の実施例による液晶表示装置用駆動回路の回路図である。

【図4】この発明の第2あるいは第3の実施例による、

※ らずこのCR積分回路の出力電圧が“0”であるとする
と、時刻tにおける出力電圧は、次式のディレー関数D
で表すことができる。

★になる。

【0033】したがって、バッファの出力電圧は、デルタ関数δを、

… (5)

★がE2に立ち上がる時刻をt0とすると、サンプル関数S20は、

… (6)

浮遊容量308の電圧ならびに液晶画素102の電圧と時間との関係を示す図である。

【図5】この発明の第3の実施例による液晶表示装置用駆動回路の回路図である。

【図6】この発明による液晶表示装置用駆動回路のシステム構成図である。

30 【図7】従来技術における液晶パネルとその駆動回路の構成を示すブロック図である。

【図8】従来技術におけるディジタルーアナログ変換器の回路図である。

【符号の説明】

Samp…サンプルバルス、d0～dn-1…遅延回路、

D0～Dn-1、B0～Bn-1…階調値、S0～Sn-1、

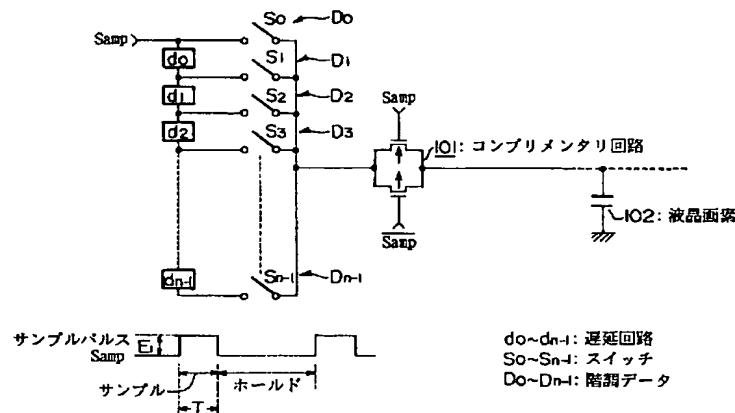
P0～Pn-1…スイッチ、101…コンプリメンタリ回路、102…液晶画素、304…階調データ、305…

スイッチ回路、306…抵抗回路、307、309…F

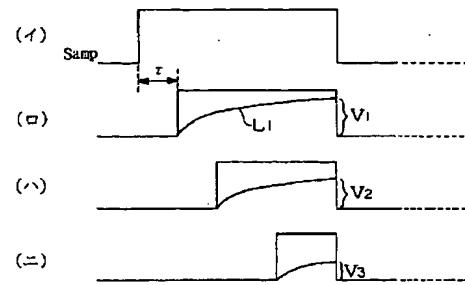
ET、308…浮遊容量、310、311…インバータ、401…カレントミラーレイ路、402、403、404…FET、701…液晶パネル、702…コモンドライバ、703…セグメントドライバ、800…ディジタルーアナログ変換器

40

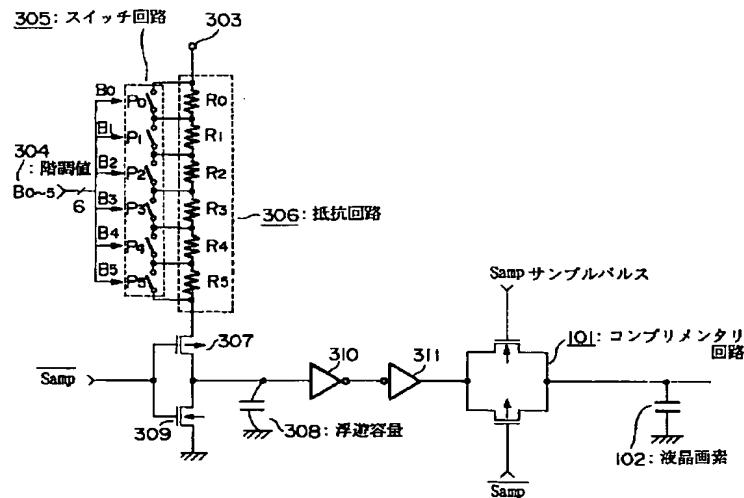
【図1】



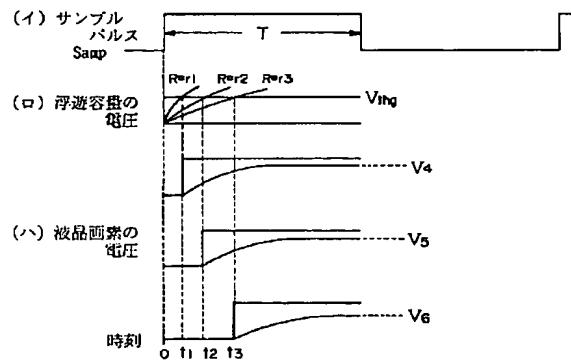
【図2】



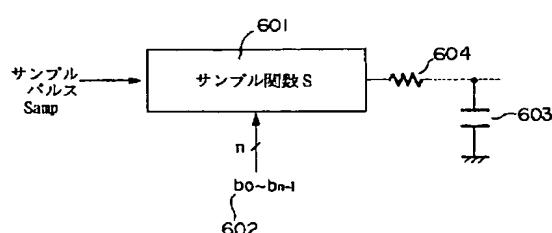
【図3】



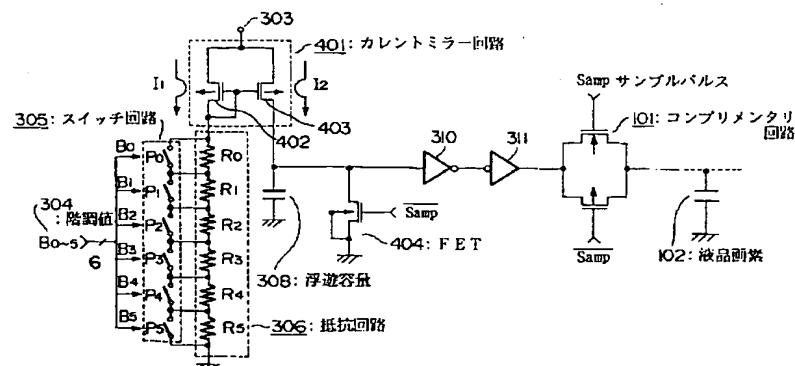
【図4】



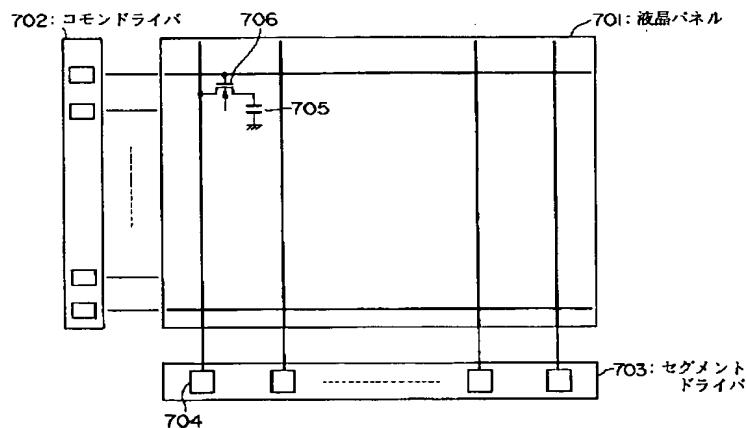
【図6】



【図5】



【図7】



【図8】

